

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平4-134854

⑬ Int. Cl.<sup>5</sup>

H 01 L 23/62  
25/04  
25/18

識別記号

序内整理番号

⑭ 公開 平成4年(1992)5月8日

7220-4M H 01 L 23/56  
7638-4M 25/04

A  
Z

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 ICチップ間配線方法

⑯ 特 願 平2-258572

⑰ 出 願 平2(1990)9月26日

⑱ 発 明 者 石田 進一郎

京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所三条工場内

⑲ 出 願 人 株式会社島津製作所

京都府京都市中京区西ノ京桑原町1番地

⑳ 代 理 人 弁理士 西田 新

明細書

1. 発明の名称

ICチップ間配線方法

2. 特許請求の範囲

複数のICチップを基板に搭載し、相互に接続する方法であって、上記基板上面に酸化膜を形成し、その後その基板の下面方向からその基板を上記酸化膜が露出するようエッチングすることにより、ピットを形成した後、そのピット内に接着層を介してICチップを上記露出した酸化膜に接着し、その後上記基板の上面方向から、配線を行うICチップ部分直上の上記接着層および上記酸化膜をエッチングすることにより、VIAホールを形成し、その後そのVIAホールおよび基板上面に配線材料をデポジットし、その後バターニングすることにより、上記複数のICチップ間相互の電気的接続を行うことを特徴とするICチップ間配線方法。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、ICチップ間の配線方法に関する。<従来の技術>

従来の技術では、チップ上のパッドとパッケージ上の外部リードとをA U線やA I線を用いて結線するワイヤボンディングやマイクロハンダを用いたサーフェスマウント法が行われていた。

<発明が解決しようとする課題>

ところで、従来技術を用いた場合、集積度は接続部に要する面積が大きいことから、ICの接合部に拘束される。また、マイクロバンプを用いても150μm以上のピッチが必要となる。したがって、配線の微細化ができないという問題があった。

本発明は、以上の点を鑑み、ICの高集積化を可能とするICチップ間の配線方法を提供することを目的とする。

<課題を解決するための手段>

本発明のICチップ間配線方法は、複数のICチップを基板に搭載し、相互に接続する方法であって、上記基板上面に酸化膜を形成し、その後そ

の基板の下面方向からその基板を上記酸化膜が露出するようエッチングすることにより、ピットを形成した後、そのピット内に接着層を介してICチップを上記露出した酸化膜に接着し、その後上記基板の上面方向から、配線を行うICチップ部分直上の上記接着層および上記酸化膜をエッチングすることにより、VIAホールを形成し、その後そのVIAホールおよび基板上面に配線材料をデポジットし、その後バターニングすることにより、上記複数のICチップ間相互の電気的接続を行うことを特徴としている。

## &lt;作用&gt;

基板上に酸化膜を形成し、その酸化膜にICチップを接着することから、ICチップに段差を生じることがない。また、露出したICチップを底面とするVIAホールを形成し、そのVIAホールに配線材料を形成することにより配線を行うので電気的接続が確実におこなわれ、また、接合部に要する面積を小さくできることから、VIAホール部の微細化ができる。

下面より、ポリイミド3を介してICチップ4とシリコン酸化膜1とを熱圧着する。

次に、第4図に示すように、フォトリソグラフィにより、VIAホール部のバターニングを行い、次に、シリコン酸化膜1およびポリイミド3をエッチングすることにより、VIAホール5を形成する。

次に、第5図に示すように、VIAホール5およびシリコン基板S上に配線材料6をデポジションし、その後、フォトリソグラフィによりバターニングを行うことにより、微細配線を形成する。

以上説明した方法によりICチップ間の微細配線を行う際、シリコン基板S上に形成したシリコン酸化膜1は段差をなくす機能を有しているが、シリコン酸化膜に限ることなく、シリコン酸化膜と塗化シリコジ膜の複合膜やまた他の材料を用いてもよい。

## &lt;発明の効果&gt;

以上説明したように、本発明のICチップ間配線方法によれば、ICチップをシリコン酸化膜に

## &lt;実施例&gt;

第1図乃至第3図、第4図(a)乃至第5図(a)は本発明実施例を経時的に示す模式断面図、第4図(b)乃至第5図(b)は各々第4図(a)乃至第5図(a)における模式平面図である。

以下に図面に基づいて本発明の実施例を説明する。

第1図に示すように、シリコン基板Sの上面を厚さ数百～数千Åの酸化を行い、シリコン酸化膜1を形成する。

次に、第2図に示すように、ICチップが挿入できる大きさにシリコン基板Sをその下面方向からエッチングする。この場合、エッチング液は、たとえばKOH等のような、SiO<sub>2</sub>酸化膜1がエッチング液によりエッチングされないものを用いる。また、エッチングに際しては、下面からだけでなく、上面からのエッチングを施すことにより、配線がない部分のシリコン酸化膜1を取り除いてもよい。

次に、第3図に示すように、シリコン基板Sの

接着する際に、位置精度を向上させればμmオーダーピッチで配線することも可能であり、高集積化が実現できる。

また、このICチップ間の配線は、通常のIC工程に組み込んで行うことができるため、汚染等の心配がなく、デバイスの信頼性は向上する。

## 4. 図面の簡単な説明

第1図乃至第3図、第4図(a)乃至第5図(a)は本発明実施例を経時的に示す模式断面図、第4図(b)乃至第5図(b)は各々第4図(a)乃至第5図(a)における模式平面図である。

1…シリコン酸化膜

2…ピット

3…ポリイミド

4…ICチップ

5…VIAホール

6…配線材料

S…基板

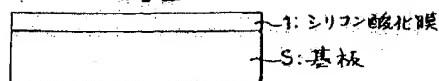
特許出願人

株式会社島津製作所

代理人

弁理士 西田 新

第1図



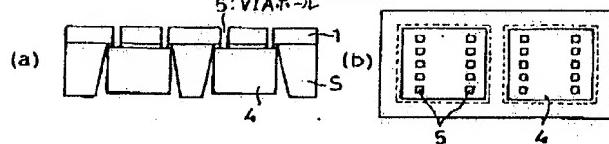
第2図



第3図



第4図



第5図

